

**電流発光素子の輝度を制御した表示装置**  
**(DISPLAY APPARATUS CONTROLLING BRIGHTNESS OF ELECTRONIC**  
**EMITTING ELEMENT)**

**発明の背景 (BACKGROUND OF THE INVENTION)**

**1) 発明の分野 (Field of the Invention)**

本発明は、電流発光素子の輝度を制御した表示装置に関する。

**2) 関連技術の説明 (Description of the Related Art)**

自ら発光する有機エレクトロルミネッセンス (E L) 素子 (Organic Light Emitting Diode) を用いた有機 E L 表示装置は、液晶表示装置で必要なバックライトが不要で装置の薄型化に最適であるとともに、視野角にも制限がないため、次世代の表示装置として実用化が期待されている。また、有機 E L 表示装置に用いられる有機 E L 素子は、各発光素子の輝度が流れる電流値により制御される点で、液晶セルが電圧により制御される液晶表示装置等とは異なる。

有機 E L 表示装置においては、駆動方式として単純 (パッシブ) マトリックス型とアクティブマトリックス型とを採ることができる。前者は構造が単純であるものの大型かつ高精細のディスプレイの実現が困難であるとの問題がある。このため、近年、画素内部の発光素子に流れる電流を、同時に画素内に設けた能動素子、たとえば、薄膜トランジスタ (Thin Film Transistor : T F T) によって制御する、アクティブマトリックス型の表示装置の開発が盛んに行われている。

図 20 は、従来技術にかかるアクティブマトリックス方式の有機 E L 表示装置における画素回路である。従来技術における画素回路は、カソード側が正電源  $V_{dd}$  に接続された有機 E L 素子 105 と、ドレイン電極が有機 E L 素子 105 のアノード側に接続され、ソース電極がグラウンドに接続された T F T 104 と、T F T 104 のゲート電極とグラウンドとの間に接続されたコンデンサ 103 と、ドレイン電極が T F T 104 のゲート電極に、ソース電極がデータ線 101 に、

ゲート電極が走査線 106 にそれぞれ接続された TFT 102 とを有する構造をとる。

上記画素回路の動作を以下に説明する。走査線 106 の電位を高レベルとし、データ線 101 に書き込み電位を印加すると、TFT 102 がオン状態となりコンデンサ 103 が充電または放電され、TFT 104 のゲート電極電位は書き込み電位となる。つぎに、走査線 106 の電位を低レベルとすると、TFT 102 はオフ状態となり、走査線 106 と TFT 102 は電氣的に切り離されるが、TFT 104 のゲート電極電位はコンデンサ 103 によって安定に保持される。

そして、TFT 104 および有機 EL 素子 105 に流れる電流は、TFT 104 のゲート・ソース間電圧  $V_{gs}$  に応じた値となり、有機 EL 素子 105 はその電流値に応じた輝度で発光し続ける。ここで、走査線 106 を選択してデータ線 101 に与えられた輝度情報を画素内部に伝える動作を、以下、「書き込み」と呼ぶこととする。上述のように図 20 に示す画素回路では一度電位の書き込みを行えば、つぎに書き込みが行われるまでの間、有機 EL 素子 105 は一定の輝度で発光を継続する（たとえば、特開平 8-234683 号公報参照）。ここで、アクティブマトリックス型の有機 EL 素子表示装置においては、能動素子としてガラス基板上に形成された TFT が利用される。

しかしながら、非晶質であるアモルファスシリコンを使用し形成された TFT においては、長時間にわたり電流が流れた場合、電流が流れた当初と比較し、閾値電圧が変動するという問題がある。また、TFT の劣化により閾値電圧が変動するという問題がある。このように、アモルファスシリコンを使用し形成された TFT は、同一画素において閾値電圧の変動が発生する場合がある。

図 21 は、劣化前の TFT と劣化後の TFT の電圧－電流特性を示すグラフである。図 21 において、曲線 1<sub>3</sub> は劣化前の TFT のゲート・ソース間電圧  $V_{gs}$  とドレイン電流  $I_d$  の特性を示し、曲線 1<sub>4</sub> は、劣化後の TFT の特性を示す。また、 $V_{th4}$  および  $V_{th4}'$  は、劣化前および劣化後の TFT の閾値電圧である。図 21 に示すように、劣化前と劣化後では TFT の閾値電圧は異なるため、同じ

電位 $V_{D4}$ が書き込まれた場合、各々のドレイン電流は $I_{d2}$ および $I_{d3}$ と異なる値となる。したがって、 $V_{D4}$ の電位を与えることによってドライバー素子のTFTの劣化前には有機EL素子には $I_{d2}$ だけ流れたにも関わらず、TFTの劣化後には $I_{d3}$  ( $< I_{d2}$ ) の値の電流しか流れず、所定の輝度の光を表示できないこととなる。このため、電流発光素子に流れる電流を制御するTFTの閾値電圧が変動した場合、同一の電位を印加したにもかかわらず電流発光素子に流れる電流は変動し、この結果、表示装置の表示部で表示される輝度が不均一となり、画質劣化の原因となる。

#### 発明の開示 (SUMMARY OF THE INVENTION)

本発明の目的は、少なくとも上述の課題を解決するものである。

本発明にかかる表示装置は、発光輝度に対応した電位を供給するデータ線および前記データ線を介して供給される電位の書き込みを制御する第1のスイッチング部を有し、発光輝度に対応する電位を書き込むデータ書き込み部と、前記データ書き込み部が書き込んだ電位に応じて電流値を制御し、薄膜トランジスタを有するドライバー素子のゲート電極とドレイン電極との間の導通状態を制御する第2のスイッチング部および流れる電流に対応した輝度の光を表示するとともに、電荷を蓄積する容量として前記ドライバー素子のソース電極またはドレイン電極に電荷を供給可能な電流発光素子を有し、前記ドライバー素子の閾値電圧を検出する閾値電圧検出部と、を備える。

以上述べたことと、本発明のその他の目的、特徴、利点を、図面を用いて以下の発明の詳細な説明から明らかにする。

#### 図面の簡単な説明 (BRIEF DESCRIPTION OF THE DRAWINGS)

図1は、実施の形態1における画素回路の構造を示した図である。

図2は、図1に示す画素回路のタイミングチャートである。

図3Aは、図2に示す(a)における画素回路の動作方法の工程を示す図であ

る。

図 3 B は、図 2 に示す (b) における画素回路の動作方法の工程を示す図である。

図 3 C は、図 2 に示す (c) における画素回路の動作方法の工程を示す図である。

図 3 D は、図 2 に示す (d) における画素回路の動作方法の工程を示す図である。

図 4 は、劣化前の T F T と劣化後の T F T の電圧－電流特性を示すグラフである。

図 5 は、データの書き込みとドライバー素子である T F T の閾値電圧の検出の動作を同じタイミングで終了した場合における図 1 に示す画素回路のタイミングチャートである。

図 6 は、実施の形態 1 における画素回路の構造の他の例を示した図である。

図 7 は、図 6 に示す画素回路のタイミングチャートである。

図 8 は、実施の形態 2 における画素回路の構造を示した図である。

図 9 は、図 8 に示す画素回路のタイミングチャートである。

図 10 A は、図 9 に示す (a) における画素回路の動作方法の工程を示す図である。

図 10 B は、図 9 に示す (b) における画素回路の動作方法の工程を示す図である。

図 10 C は、図 9 に示す (c) における画素回路の動作方法の工程を示す図である。

図 10 D は、図 9 に示す (d) における画素回路の動作方法の工程を示す図である。

図 10 E は、図 9 に示す (e) における画素回路の動作方法の工程を示す図である。

図 11 は、データの書き込みとドライバー素子である T F T の閾値電圧の検出

の動作を同じタイミングで終了した場合における図 8 に示す画素回路のタイミングチャートである。

図 1 2 は、実施の形態 2 における画素回路の構造の他の例を示した図である。

図 1 3 は、図 1 2 に示す画素回路のタイミングチャートである。

図 1 4 は、実施の形態 2 における画素回路の構造の他の例を示した図である。

図 1 5 は、図 1 4 に示す画素回路のタイミングチャートである。

図 1 6 A は、図 1 5 に示す (a) における画素回路の動作方法の工程を示す図である。

図 1 6 B は、図 1 5 に示す (b) における画素回路の動作方法の工程を示す図である。

図 1 6 C は、図 1 5 に示す (d) における画素回路の動作方法の工程を示す図である。

図 1 6 D は、図 1 5 に示す (e) における画素回路の動作方法の工程を示す図である。

図 1 7 は、実施の形態 3 における画素回路の構造を示した図である。

図 1 8 は、図 1 7 に示す画素回路のタイミングチャートである。

図 1 9 A は、図 1 8 に示す (a) における画素回路の動作方法の工程を示す図である。

図 1 9 B は、図 1 8 に示す (b) における画素回路の動作方法の工程を示す図である。

図 1 9 C は、図 1 8 に示す (c) における画素回路の動作方法の工程を示す図である。

図 1 9 D は、図 1 8 に示す (d) における画素回路の動作方法の工程を示す図である。

図 1 9 E は、図 1 8 に示す (e) における画素回路の動作方法の工程を示す図である。

図 2 0 は、従来技術にかかるアクティブマトリクス方式の有機 EL 表示装置

における画素回路である

図 2 1 は、劣化前の T F T と劣化後の T F T の電圧－電流特性を示すグラフである。

#### 発明の詳細な説明 (DETAILED DESCRIPTION)

以下、図面を参照して、本発明にかかる表示装置を説明する。なお、ここでは、本発明について、電流発光素子として有機 E L 素子を、能動素子として薄膜トランジスタを、アクティブマトリックス型の表示装置液晶表示装置にそれぞれ用いた場合について説明するが、画素の表示素子として、流れる電流によって輝度が変化する電流発光素子を用いるアクティブマトリックス型の表示装置全般に適用可能である。また、この実施の形態によりこの発明が限定されるものではない。さらに、図面の記載において、同一部分には同一の符号を付しており、図面は模式的なものである。

まず、実施の形態 1 にかかる表示装置について説明する。本実施の形態 1 にかかる表示装置を構成する画素回路は、データ線と第 1 のスイッチング部およびコンデンサを備え発光輝度に対応する電位を書き込むデータ書き込み部と、第 2 のスイッチング部と電流発光素子を備え、ドライバー素子の閾値電圧を検出する閾値電圧検出部とを備える。さらに、本実施の形態 1 にかかる表示装置を構成する画素回路は、データ書き込み部と閾値電圧検出部との電氣的な接続を制御するスイッチング部としての T F T を備えた構造を有する。かかる画素回路により、データ書き込み部と閾値電圧検出部は別個独立に動作するよう構成されており、データ書き込み部により書き込まれた電位に、データ書き込み部とは別個独立に動作可能な閾値電圧検出部により検出された閾値電圧を加えた電位がドライバー素子に印加されることによって、ドライバー素子の閾値電圧が変動する場合でも電流発光素子に均一な電流を供給する表示装置を実現する。

図 1 は、本実施の形態 1 における画素回路の構造を示した図である。かかる画素回路は、図 1 に示すように、電流発光素子の輝度に対応した電位を供給するデ

ータ線 3 と、かかる電位の書き込みを制御する第 1 のスイッチング部である T F T 4 と、書き込まれた電位を保持するコンデンサ 5 と、T F T 4 のゲート電極に接続する第 1 の走査線である走査線 1 0 とにより構成されるデータ書き込み部 1 を備える。データ書き込み部 1 は、請求の範囲におけるデータ書き込み部の一例として機能するものである。データ線 3 は、請求の範囲におけるデータ線の一例として機能するものである。T F T 4 は、請求の範囲における第 1 のスイッチング部の一例として機能するものである。走査線 1 0 は、請求の範囲における第 1 の走査線の一例として機能するものである。また、コンデンサ 5 は、データ線 3 から供給された電位を保持する機能を有する。

さらに、本実施の形態 1 における画素回路は、データ書きこみ部 1 が書き込んだ電位に応じて電流値を制御するドライバー素子である T F T 6 と、第 2 のスイッチング部である T F T 8 と、電流発光素子である有機 E L 素子 7 と、有機 E L 素子 7 に接続する電源線であるコモン線 9 とにより構成される閾値電圧検出部 2 を備える。閾値電圧検出部 2 は、請求の範囲における閾値電圧検出部の一例として機能するものである。T F T 6 は、請求の範囲におけるドライバー素子の一例として機能するものであり、データ書き込み部 1 が書き込んだ電位に応じて電流値を制御する機能を備える。T F T 8 は、請求の範囲における第 2 のスイッチング部の一例として機能するものである。有機 E L 素子 7 は、請求の範囲における電流発光素子の一例として機能するものである。また、コモン線 9 は、請求の範囲における電源線の一例として機能するものである。

また、データ書き込み部 1 と閾値電圧検出部 2 の間には、第 3 のスイッチング部である T F T 1 1 が設けられている。T F T 1 1 は、請求の範囲における第 3 のスイッチング部の一例として機能するものである。本実施の形態 1 にかかる表示装置は、かかる画素回路をマトリックス状に配置して構成される。なお、説明を容易にするため、T F T 6 については、有機 E L 素子 7 と接続する電極をソース電極とし、グラウンドに接続する電極をドレイン電極とする。

データ書き込み部 1 は、データ線 3 により有機 E L 素子 7 の表示輝度に対応し

た電位を与えられ、かかる電位を保持する機能を有する。データ書き込み部 1 を構成するデータ線 3 は有機 EL 素子 7 の発光輝度に対応した電位を与え、TFT 4 はデータ線 3 に接続しデータ線 3 を介して供給される電位の書き込みを制御する。また、コンデンサ 5 は、TFT 4 のドレイン電極と接続するとともに、書き込まれた電位を保持し、TFT 6 のゲート電極に保持した電位を供給する。さらに、走査線 10 は、TFT 4 のゲート電極に接続し、TFT 4 のオン状態またはオフ状態の駆動状態を制御する。

閾値電圧検出部 2 は、ドライバー素子である TFT 6 の閾値電圧を検出する機能を有する。かかる閾値電圧検出部 2 を構成する TFT 6 は、オン状態となることによりゲート・ソース間電圧に対応した電流を有機 EL 素子 7 に供給する。有機 EL 素子 7 は、本来 TFT 6 がオン状態の際に与えられた電流に対応した輝度の光を表示するためのものであるが、閾値電圧検出部 2 においては、TFT 6 のソース電極に対して電荷を供給する容量として機能する。有機 EL 素子 7 は、電気的には発光ダイオードと等価なものととらえることが可能であって、順方向の電位差を与えた場合には電流が流れて発光する一方、逆方向の電位差を与えた場合には電位差に応じて電荷を蓄積する機能を有するためである。

また、閾値電圧検出部 2 を構成する TFT 8 は、ソース電極が TFT 6 のゲート電極と接続し、ドレイン電極が TFT 6 のドレイン電極と接続している。また、TFT 6 のドレイン電極と TFT 8 のドレイン電極はグラウンドに接続している。したがって、TFT 8 は、オン状態となることにより、TFT 6 のゲート電極とドレイン電極を短絡するとともに、TFT 6 のゲート電極をグラウンドに接続する機能を有する。後述するように、本実施の形態 1 にかかる表示装置では、TFT 8 等を設けることによって、データ線 3 等のデータ書き込み部 1 の構成要素を用いることなく TFT 6 の閾値電圧の検出を可能としている。また、TFT 8 のオン状態は走査線 12 により制御される。走査線 12 は、請求の範囲における第 2 の走査線の一例として機能するものである。さらに、コモン線 9 は、本来有機 EL 素子 7 の発光時に電流を供給するためのものであるが、閾値電圧検出部 2 に



においては、電位の極性を発光時と比較し反転することによりTFT6にソース電極からドレイン電極に向かって電流を流し有機EL素子7に電荷を蓄積させる機能を有する。

さらに、TFT11は、データ書き込み部1と閾値電圧検出部2との間に設けられ、データ書き込み部1と閾値電圧検出部2の電氣的な導通を制御する。すなわち、データ書き込み部1と閾値電圧検出部2を電氣的に導通させTFT6のゲート電極とソース電極との間に所定の電位差を発生させる場合にはTFT11をオン状態とし、データ書き込み部1と閾値電圧検出部2を電氣的に絶縁する場合にはTFT11をオフ状態とする。TFT11を設けることにより、データ書き込み部1と閾値電圧検出部2とを電氣的に絶縁することが可能となるため、一方の動作が他方の動作に影響を与えることを防止している。

また、TFT11は、閾値電圧検出部2を構成するTFT8とチャネル層の導電性が異なるTFTである。さらに、TFT11のゲート電極とTFT8のゲート電極はともに走査線12に接続されており、走査線12に供給される電位の極性によりTFT8とTFT11のいずれかがオン状態とされる。たとえば、図1に示すようにTFT8がp型TFTである場合、TFT11はTFT8とチャネル層の導電性が異なるn型TFTとなる。TFT11をオン状態にするためには走査線12の電位を正の電位とする必要があり、TFT8をオン状態にするためには走査線12の電位を負の電位とする必要がある。また、TFT11をp型TFT、TFT8をn型TFTとしてもよく、この場合TFT11をオン状態にするためには走査線12の電位を負の電位とする必要があり、TFT8をオン状態にするためには走査線12の電位を正の電位とする必要がある。なお、後述するように、第2のスイッチング部であるTFT8と第3のスイッチング部であるTFT11は、チャネル層の導電性が同一であるTFTとしてもよく、この場合は第2のスイッチング部であるTFTと第3のスイッチング部であるTFTを別個の走査線で制御することとなる。

つぎに、図2および図3A～図3Dを参照し、図1に示す画素回路の動作を説

明する。図 2 は、実施の形態 1 における画素回路のタイミングチャートである。図 3 A は、図 2 に示す (a) における画素回路の動作方法の工程を示す図であり、図 3 B は、図 2 に示す (b) における画素回路の動作方法の工程を示す図であり、図 3 C は、図 2 に示す (c) における画素回路の動作方法の工程を示す図であり、図 3 D は、図 2 に示す (d) における画素回路の動作方法の工程を示す図である。本実施の形態 1 にかかる表示装置では、図 2 (a) ~ (d) および図 3 A ~ 図 3 D に示すように、画素回路においてデータ書き込みと閾値電圧検出は別個独立の工程で行われる。なお、図 3 A ~ 図 3 D において、実線部は電流が流れる部分を示し、破線部は電流が流れていない部分を示す。

図 2 (a) および図 3 A に示す工程は、閾値電圧検出の前段階として、有機 E L 素子 7 に電荷を蓄積させる前処理工程である。具体的には、T F T 6 に発光時と逆方向の電流を流し有機 E L 素子 7 に電荷を蓄積させる工程である。ここで、T F T 6 に発光時と逆方向の電流、すなわち、ソース電極からドレイン電極に向かう電流を流すため、T F T 6 のソース電極にドレイン電極よりも大きな正の電位をかけなければならない。このため、T F T 6 のソース電極が接続するコモン線 9 の電位の極性を負の電位から正の電位とする。また、T F T 1 1 のオン状態は維持されており T F T 6 のゲート電極にはコンデンサ 5 からの電荷の供給が継続するため、T F T 6 のオン状態は維持されたままである。したがって、T F T 6 のソース電極はドレイン電極よりも大きな電位差が発生し、ゲート電極にはドレイン電極に対して閾値電圧よりも大きい電位が印加されており、T F T 6 にはソース電極からドレイン電極に向かって電流が流れる。T F T 6 と接続する有機 E L 素子 7 にも発光時と逆方向の電流が流れ込むため、有機 E L 素子 7 は容量として機能し、アノード側にコンデンサ 5 に残存する電荷より十分に大きい負の電荷を蓄積する。有機 E L 素子 7 に電荷が蓄積された後、蓄積された電荷を保持するため、走査線 1 2 の電位を逆転させ負の電位とし T F T 1 1 をオフ状態とする。このとき、T F T 1 1 と同様に走査線 1 2 により制御される T F T 8 はオン状態となる。なお、本工程ではデータの書き込みは行われないため、データ線 3 から

の電位の書き込みを制御するTFT4はオフ状態とする必要があり、走査線10は負の電位のままである。

図2(b)および図3Bに示す工程は、閾値電圧検出部2によってドライバー素子であるTFT6の閾値電圧を検出する閾値電圧検出工程である。前処理工程で有機EL素子7への負の電荷の蓄積が終了した後、コモン線9は正の電位から0電位となる。p型TFTであるTFT8のオン状態を維持するため、走査線12は負の電位としたままである。TFT8をオン状態に維持することにより、TFT6のゲート電極とドレイン電極は短絡されるとともにグラウンドに接続される。このため、TFT6のゲート電極とドレイン電極には0電位が与えられる。ここで、有機EL素子7はTFT6のソース電極と接続しているため、有機EL素子7のアノード側に蓄積された負の電荷に基づいて、TFT6のゲート・ソース間電圧は閾値電圧よりも大きくなり、TFT6はオン状態となる。また、TFT6のドレイン電極はグラウンドに電氣的に接続される一方、TFT6のソース電極は負電荷が蓄積された有機EL素子7に接続されている。したがって、TFT6においてはゲート電極とソース電極の間に電位差が発生し、ドレイン電極からソース電極に向かって電流が流れる。かかる電流が流れることによって、有機EL素子7に蓄積された負電荷の絶対値は徐々に減少し、TFT6のゲート・ソース間電圧も徐々に低くなる。そして、TFT6のゲート・ソース間電圧が閾値電圧( $=V_{th1}$ )まで減少した時点で、TFT6はオフ状態となり、有機EL素子7に蓄積された負電荷の絶対値の減少も停止する。TFT6のゲート電極がグラウンドに接続されていることから、オフ状態となった時点におけるTFT6のソース電極の電位は( $-V_{th1}$ )に維持されることとなる。以上より、TFT6のソース電極にTFT6の閾値電圧( $-V_{th1}$ )が現れ、TFT6の閾値電圧が検出される。なお、本工程では、走査線12は負の電位であるためTFT11はオフ状態を維持しており、閾値電圧検出部2とデータ書き込み部1は電氣的に絶縁される。したがって、データ書き込み部1における動作が本工程に影響を与えることはない。また、ドライバー素子であるTFT6の閾値電圧の検出は、閾値

電圧検出部 2 の構成要素のみによってなされ、データ書き込み部 1 の構成要素の動作を必要としない。

図 2 (c) および図 3 C に示す工程は、データ書き込み部 1 により有機 EL 素子 7 の輝度に対応する電位をデータ線 3 を介して書き込むデータ書き込み工程である。データ線 3 は、有機 EL 素子 7 の輝度に対応する電位を供給するため、電位 0 を示していた状態から有機 EL 素子 7 の輝度に対応する電位  $V_{D1}$  に変化する。また、データ線 3 により供給された電位を画素回路内に書き込むため、走査線 10 を正の電位とし TFT 4 をオン状態とする。TFT 4 がオン状態となることにより、TFT 4 を介してデータ線 3 より電位  $V_{D1}$  が書き込まれ、書き込まれた電位はコンデンサ 5 に保持される。書き込み電位  $V_{D1}$  がコンデンサ 5 に保持された後、TFT 4 をオフ状態とするため走査線 10 は負の電位となる。なお、走査線 12 は負の電位のままであり、TFT 11 はオフ状態を維持する。したがって、データ書き込み部 1 と閾値電圧検出部 2 は電氣的に絶縁され、閾値電圧検出部 2 における動作が本工程に影響を与えることはない。以上より、データの書き込みはデータ書き込み部 1 の構成要素のみによってなされ、閾値電圧検出部 2 の動作を必要としない。言い換えると、データの書き込みはデータ書き込み部 1 の構成要素のみによってなされ、TFT 6 の閾値電圧の検出は閾値電圧検出部 2 の構成要素のみによってなされるため、データ書き込み部 1 と閾値電圧検出部 2 は独立して機能する。

図 2 (d) および図 3 D に示す工程は、有機 EL 素子 7 が発光する発光工程である。すなわち、コンデンサ 5 に保持された電荷が TFT 6 に供給され、TFT 6 がオン状態になり TFT 6 に電流が流れることにより有機 EL 素子 7 が発光する工程である。コンデンサ 5 に保持された電荷を TFT 6 のゲート電極に供給するためには、コンデンサ 5 と TFT 6 のゲート電極との間に設けられる TFT 11 をオン状態とし電氣的に導通させる必要がある。このため、走査線 12 の電位を正の電位とすることにより TFT 11 をオン状態とし、TFT 6 のゲート電極にコンデンサ 5 に保持されていた電荷  $V_{D1}$  を供給する。TFT 6 のゲート電極

に電荷が供給されるため、T F T 6 はオン状態となる。ここで、T F T 6 には、ソース電極に閾値電圧検出工程において検出された閾値電圧 ( $-V_{th1}$ ) が現れている。本工程でT F T 6 のゲート電極にはコンデンサ5より供給された電位  $V_{D1}$  が印加されるため、T F T 6 には ( $V_{D1} + V_{th1}$ ) のゲート・ソース間電圧が発生する。この結果、T F T 6 には、ゲート・ソース間電圧である ( $V_{D1} + V_{th1}$ ) に対応する電流が流れる。ドライバー素子であるT F T 6 に電流が流れることにより、T F T 6 に接続する有機E L素子7にも電流が流れ、有機E L素子7は流れる電流に対応した輝度の光を表示する。なお、本工程ではデータの書き込みは行われなため、データ線3からの電位の書き込みを制御するT F T 4 はオフ状態とする必要があり、走査線10は負の電位のままである。

従来、アモルファスシリコンを使用し形成されたT F T 6 においては閾値電圧の変動が発生しやすく、同じ電位を書き込んでも閾値電圧の変動によって有機E L素子に流れる電流が異なり表示輝度が不均一となっていた。しかし、本実施の形態1における画素回路においては、T F T 6 のゲート・ソース間電圧は書き込み電位  $V_{D1}$  とT F T 6 の閾値電圧  $V_{th1}$  との和であり、かかる和電圧に対応する電流がT F T 6 に流れる。T F T 6 の閾値電圧を書き込み電位  $V_{D1}$  に加えた電圧がT F T 6 のゲート・ソース間電圧となるため、T F T 6 の閾値電圧の変動は補償される。この結果、T F T 6 に流れる電流は変動せず、有機E L素子7は均一な輝度の光を表示し、画質の劣化は抑制される。以下、図4を参照して説明する。

図4は、劣化前のT F T 6 と劣化後のT F T 6 の電圧－電流特性を示すグラフである。図4において、曲線1<sub>1</sub>は劣化前のT F T 6 のゲート・ソース間電圧  $V_{gs}$  とドレイン電流  $I_d$  の特性を示し、曲線1<sub>2</sub>は劣化後のT F T 6 の特性を示す。また、 $V_{th1}$  および  $V_{th1}'$  は、劣化前および劣化後のT F T 6 の閾値電圧である。図4に示すように、劣化前と劣化後ではT F T 6 の閾値電圧が異なる。ここで、実施の形態1における画素回路においては、閾値電圧検出部2で検出されたT F T 6 の閾値電圧とデータ書き込み部1により書き込まれた電位  $V_{D1}$  との和である電圧が、T F T 6 のゲート・ソース間電圧となる。このため、同じ電位  $V$

$V_{D1}$ が書き込まれた場合、TFT6のゲート・ソース間電圧はそれぞれ $V_{D1} + V_{th1}$ および $V_{D1} + V_{th1}'$ と異なる。しかし、劣化前と劣化後にてTFT6の閾値電圧が異なる場合であっても、図4に示すようにドレイン電流はともに $I_{d1}$ となり、TFT6には均一な電流が流れる。したがって、TFT6の閾値電圧が変動する場合であっても、有機EL素子には所定の電流が流れることとなり、有機EL素子7は所定の輝度の光を表示し、画質の劣化は抑制される。

また、本実施の形態1にかかる表示装置は、第2のスイッチング部としてTFT8を設けることにより、閾値電圧検出工程においてTFT6のゲート電極とドレイン電極を短絡させ、ゲート電極とドレイン電極をグラウンドに接続している。この結果、TFT6においては、ゲート電極と負の電荷を蓄積した有機EL素子7と接続するソース電極の間に電位差が生じ電流が流れる。その後、ゲート・ソース間電圧が閾値電圧( $V_{th1}$ )となりTFT6がオフ状態となることによりソース電極に閾値電圧を検出する。したがって、TFT8を設けることにより、閾値電圧検出部2の構成要素の動作のみによってTFT6の閾値電圧を検出する。このため、閾値電圧検出工程において、TFT6のゲート電極とTFT11およびTFT4を介して接続するデータ線3の電位を0電位とする必要はなく、閾値電圧の検出にデータ書き込み部1の構成要素の動作は必要とされない。

また、実施の形態1にかかる表示装置には、データ書き込み部1と閾値電圧検出部2との間にTFT11が設けられている。TFT11はオフ状態になることによりデータ書き込み部1と閾値電圧検出部2を電氣的に絶縁するため、一方の動作が他方の動作に影響を与えることを防止することが可能となる。このため、閾値電圧検出部1とデータ書き込み部2は別個独立に動作することができる。ここで、図5に、データの書き込みと閾値電圧の検出の動作を同じタイミングで終了した場合の、図1に示す画素回路のタイミングチャートを示す。図5(a)～(d)は図2の(a)～(d)と同様に、それぞれ、前処理工程、閾値電圧検出工程、データ書き込み工程および発光工程を示すタイミングチャートである。上記のように、閾値電圧検出部2とデータ書き込み部1は別個に動作可能であるた

め、図5に示すように同じタイミングで終了することが可能である。そして、閾値電圧の検出とデータの書き込みを同じタイミングで終了することによって、全工程に関する時間の短縮化を実現できる。

さらに、有機EL素子7に直列に配置されるTFTは、ドライバー素子であるTFT6のみであるため、有機EL素子7以外の非発光部で消費される電力の低減が可能である。また、走査線12によりTFT8とTFT11の2箇所のTFTを制御するため、回路構成が簡単であり、電源電圧の利用効率および有機EL素子7に供給される電位の書き込み効率が高い。

なお、実施の形態1における画素回路として図1にTFT11とTFT8を一つの走査線12により制御する構造を示したが、第2のスイッチング部であるTFTと第3のスイッチング部であるTFTのそれぞれに別個の走査線を接続する構造としてもよい。たとえば、図6に示すように、TFT11と第2のスイッチング部であるTFT13がともにチャネル層の導電性が同一の薄膜トランジスタ、たとえばn型TFTである構造である。TFT13は、請求の範囲における第2のスイッチング部の一例として機能するものである。かかる画素回路においては、TFT11は走査線14により制御され、TFT13は走査線14とは別個の走査線15により制御される。図6に示す画素回路の動作方法の工程は、図3A～図3Dに示す各工程と同様であり、図2に示すタイミングチャートにおいて走査線12のみで制御していた第2のスイッチング部と第3のスイッチング部をそれぞれ走査線14および走査線15で制御することとなる。すなわち、第3のスイッチング部であるTFT11をオン状態とする場合には走査線12が正の電位を示すタイミングと同じタイミングで走査線14を正の電位とし、第2のスイッチング部であるTFT13をオン状態とする場合には走査線12が負の電位を示すタイミングと同じタイミングで走査線15を正の電位とすることとなる。

ただし、コンデンサ5に保持される電荷の放出を効果的に防止するため、図6に示す画素回路の各構成要素は図7に示すタイミングチャートに従い動作することが好ましい。ここで、図7(a)～(d)は、図2の(a)～(d)と同様に、

それぞれ、前処理工程、閾値電圧検出工程、データ書き込み工程および発光工程である。図7（a）に示す前処理工程において、有機EL素子7への負電荷の蓄積後、TFT13をオン状態とする前にTFT11をオフ状態とする。かかるタイミングでTFT11とTFT13が動作することにより、コンデンサ5に保持される電荷がTFT13を介してグラウンドへ放出されることを効果的に防止する。また、図7（c）に示すデータ書き込み工程終了後においては、TFT13をオフ状態とするため走査線15を負の電位とする。かかるタイミングでTFT13が動作することにより、コンデンサ5に保持される書き込み電位がTFT13を介してグラウンドに放出されることを防止する。

以上より、図6に示す画素回路の各構成要素は、第2のスイッチング部であるTFT13と第3のスイッチング部であるTFT11の駆動状態を別個の走査線で制御するため、図7のタイミングチャートに従った動作が可能となる。この結果、コンデンサ5に保持される電荷の放出を効果的に防止することが可能となる。また、図6に示す画素回路は、チャネル層の導電性が同一であるTFTのみで構成されるため、製造コストの低減も可能となる。

また、本実施の形態1では、行または列ごとにデータ書き込み工程を行って行または列ごとに順次発光工程を行なう方式で画像を表示させるほか、全ての有機EL素子7を同時に発光させて同時に1枚の画面を表示する全面一括制御方式で画像を表示してもよい。また、本実施の形態1では、全ての画素回路に対して、同時に前処理工程を行なってもよい。すなわち、全ての有機EL素子7に対して同時に電荷の蓄積が行なわれるとしてもよい。また、本実施の形態1では、全ての画素回路に対して、同時に閾値電圧検出工程を行なってもよい。すなわち、全てのTFT8は、同時にオン状態となり、TFT6のドレイン電極とゲート電極とを短絡してもよい。

つぎに、実施の形態2にかかる表示装置について説明する。本実施の形態2にかかる表示装置を構成する画素回路は、データ線と第1のスイッチング部およびコンデンサを有し、発光輝度に対応する電位を書き込むデータ書き込み部と、第



2のスイッチング部と電流発光素子を有し、ドライバー素子の閾値電圧を検出する閾値電圧検出部を備える。さらに、コンデンサからドライバー素子への電荷の供給を制御するスイッチング部としてのTFTを備えた構造を有する。かかる画素回路により、データ書き込み部と閾値電圧検出部が別個独立に動作するよう構成されている。さらに、データ書き込み部により書き込まれた電位に、データ書き込み部とは別個独立に機能する閾値電圧検出部によって検出された閾値電圧を加えた電位がドライバー素子に印加されることによって、ドライバー素子の閾値電圧が変動する場合でも電流発光素子に均一な電流を供給する表示装置を実現できる。

図8は、本実施の形態2における画素回路の構造を示した図である。かかる画素回路は、図8に示すように、電流発光素子の輝度に対応した電位を供給するデータ線23と、かかる電位の書き込みを制御する第1のスイッチング部であるTFT24と、書き込まれた電位を保持するコンデンサ25と、TFT24のゲート電極に接続する第1の走査線である走査線30とにより構成されるデータ書き込み部21を備える。データ書き込み部21は、請求の範囲におけるデータ書き込み部の一例として機能するものである。データ線23は、請求の範囲におけるデータ線の一例として機能するものである。TFT24は、請求の範囲における第1のスイッチング部の一例として機能するものである。走査線30は、請求の範囲における第1の走査線の一例として機能するものである。また、コンデンサ25は、データ書き込み部21と閾値電圧検出部22との間に配置され、データ書き込み部21と電氣的に接続した第1の電極である負極と閾値電圧検出部22と電氣的に接続した第2の電極である正極とを有する。

また、本実施の形態2における画素回路は、ドライバー素子であるTFT26と、第2のスイッチング部であるTFT28と、電流発光素子である有機EL素子27と、TFT26のソース電極に接続する電源線であるコモン線29とにより構成される閾値電圧検出部22を備える。閾値電圧検出部22は、請求の範囲における閾値電圧検出部の一例として機能するものである。TFT28は、請求

の範囲における第2のスイッチング部の一例として機能するものである。TFT 26は、請求の範囲におけるドライバー素子の一例として機能するものであり、データ書き込み部21が書き込んだ電位に応じて電流値を制御する機能を有する。有機EL素子27は、請求の範囲における電流発光素子の一例として機能するものである。コモン線29は、請求の範囲における電源線の一例として機能するものである。

さらに、コンデンサ25の負極には、ソース電極がコモン線29と接続した第4のスイッチング部であるTFT 31が接続されている。TFT 31は、請求の範囲における第4のスイッチング部の一例として機能し、コンデンサ25の負極の電位を制御する。本実施の形態2にかかる表示装置は、かかる画素回路をマトリックス状に配置して構成される。なお、説明を容易にするため、TFT 26については、有機EL素子27と接続する電極をドレイン電極とし、コモン線29に接続する電極をソース電極とする。

データ書き込み部21は、データ線23より有機EL素子27の表示輝度に対応した電位を与えられ、かかる電位を保持する機能を有する。かかるデータ書き込み部21を構成するデータ線23、第1のスイッチング部であるTFT 24、コンデンサ25および第1の走査線である走査線30は、実施の形態1にて説明した画素回路におけるデータ書き込み部1を構成する各構成要素と同様の機能を有する。なお、コンデンサ25はデータ書き込み部21と閾値電圧検出部22を電氣的に分離する機能も有する。

閾値電圧検出部22は、ドライバー素子であるTFT 26の閾値電圧を検出する機能を有する。かかる閾値電圧検出部22を構成するTFT 26は、オン状態となることによりゲート・ソース間電圧に対応した電流を有機EL素子27に供給する機能を有する。また、有機EL素子27は、本来TFT 26がオン状態の際に与えられた電流に対応した輝度の光を表示するためのものであるが、閾値電圧検出部22においては、TFT 26のゲート電極とドレイン電極に対して電荷を供給する容量として機能する。また、TFT 28は、オン状態となることによ

りTFT26のゲート電極とドレイン電極を短絡する機能を有する。後述するように、本実施の形態2にかかる表示装置では、TFT28を設けることによって、データ線23等のデータ書き込み部21の構成要素を用いることなくTFT26の閾値電圧の検出を可能としている。また、TFT28のオン状態は走査線32により制御される。なお、電源線であるコモン線29は、実施の形態1にて説明したコモン線9と同様の機能を有する。また、走査線32は、請求の範囲における第3の走査線の一例として機能するものである。

さらに、TFT31は、コンデンサ25の負極とコモン線29の間に設けられ、コンデンサ25とコモン線29の電氣的な接続を制御する機能を有する。TFT31は、後述する各工程にて電位の極性が変化するコモン線29と、コンデンサ25の負極との接続を制御することにより、コンデンサ25からドライバー素子であるTFT26への電荷の移動を制御する。すなわち、TFT31がオン状態となりTFT31に電流が流れることによりコンデンサ25からTFT26に電荷が移動し、TFT26のゲート電極とソース電極との間に所定の電位差を発生させる。この結果、TFT31がオン状態となりTFT31に電流が流れることにより、データ書き込み部21と閾値電圧検出部22との間に電荷の移動が発生しデータ書き込み部21と閾値電圧検出部22は電氣的に接続される。

また、TFT31は、閾値電圧検出部22を構成するTFT28とチャネル層の導電性が逆である。さらに、TFT31のゲート電極とTFT28のゲート電極はともに走査線32に接続されており、走査線32に供給される電位の極性によりTFT28とTFT31のいずれかがオン状態とされる。たとえば、図8に示すようにTFT28がp型TFTである場合TFT31はn型TFTとなる。TFT31をオン状態にするためには走査線32の電位を正の電位とする必要があり、TFT28をオン状態とするためには走査線32の電位を負の電位とする必要がある。なお、TFT31をp型TFT、TFT28をn型TFTとしてもよく、この場合TFT31をオン状態とするためには走査線32を負の電位とする必要があり、TFT28をオン状態とするためには走査線32を正の電位とす

る必要がある。なお、後述するように、第2のスイッチング部であるTFT28と第4のスイッチング部であるTFT31は、チャンネル層の導電性が同一であるTFTとしてもよく、この場合は第2のスイッチング部であるTFTと第4のスイッチング部であるTFTを別個の走査線で制御することとなる。

つぎに、図9および図10A～図10Eを参照し、図8に示す画素回路の動作を説明する。図9は、実施の形態2における画素回路のタイミングチャートである。図10Aは、図9に示す(a)における画素回路の動作方法の工程を示す図であり、図10Bは、図9に示す(b)における画素回路の動作方法の工程を示す図であり、図10Cは、図9に示す(c)における画素回路の動作方法の工程を示す図であり、図10Dは、図9に示す(d)における画素回路の動作方法の工程を示す図であり、図10Eは、図9に示す(e)における画素回路の動作方法の工程を示す図である。本実施の形態2にかかる表示装置では、図9(a)～(e)および図10A～図10Eに示すように、データ書き込みと閾値電圧検出は別個独立の工程で行われる。図10A～図10Eにおいて、実線部は電流が流れる部分を示し、破線部は電流が流れていない部分を示す。

図9(a)および図10Aに示す工程は、閾値電圧検出の前段階として、有機EL素子27に電荷を蓄積させる前処理工程である。具体的には、TFT26に発光時と逆方向の電流を流すことによって有機EL素子27に電荷を蓄積させる工程である。本工程は、実施の形態1における画素回路の前処理工程と同様に、コモン線29の電位の極性を発光時と比較し反転することによって、有機EL素子27のカソード側にコンデンサ25に残存する電荷より十分に大きい正の電荷を蓄積させる。

図9(b)および図10Bに示す工程は、閾値電圧検出部22がドライバー素子であるTFT26の閾値電圧を検出する閾値電圧検出工程である。前処理工程で有機EL素子27への正の電荷の蓄積が終了した後、コモン線29は正の電位から0電位となる。走査線32は負の電位のままであるため、TFT28がオン状態を維持することにより、TFT26のゲート電極とドレイン電極は短絡され

同電位となる。ここで、有機EL素子27はTFT26のドレイン電極と接続しているため、有機EL素子27に蓄積された正の電荷は、TFT26のドレイン電極およびTFT28によって短絡されるTFT26のゲート電極に供給される。また、本工程において、コモン線29は正の電位から0電位となるため、コモン線29に接続するTFT26のソース電極には0電位が与えられる。したがって、TFT26のゲート・ソース間電圧は閾値電圧よりも大きくなり、TFT26はオン状態となる。TFT26にはゲート電極とソース電極の間に電位差が発生するため、ドレイン電極からソース電極に向かって電流が流れる。TFT26に電流が流れることによって、有機EL素子27に蓄積された正電荷は徐々に減少し、TFT26のゲート・ソース間電圧も徐々に低くなる。そして、TFT26のゲート・ソース間電圧が閾値電圧( $=V_{th2}$ )まで減少した時点で、TFT26はオフ状態となり、有機EL素子27に蓄積された正の電荷の減少も停止する。ここでTFT26のソース電極は0電位であるコモン線29に接続し、TFT26のゲート電極とドレイン電極は有機EL素子27に接続していることから、TFT26がオフ状態となった後TFT26のゲート電極とドレイン電極の電位は $V_{th2}$ に維持されることになる。以上より、TFT26のゲート電極とドレイン電極にTFT26の閾値電圧 $V_{th2}$ が現れ、TFT26の閾値電圧が検出される。また、TFT26の閾値電圧の検出は、閾値電圧検出部22の構成要素のみによってなされ、データ書き込み部21の構成要素の動作を必要としない。

図9(c)および図10Cは、検出したTFT26の閾値電圧を保持する閾値電圧保持工程である。TFT31がオフ状態を維持するため、TFT26のゲート電極およびドレイン電極に現れたTFT26の閾値電圧 $V_{th2}$ は、コンデンサ25の正極で保持される。TFT31は、オフ状態となることによって、コンデンサ25に保持される電荷を移動させることなく電荷保持を継続する。

図9(d)および図10Dは、データ書き込み工程である。実施の形態1における画素回路のデータ書き込み工程と同様に、有機EL素子27の輝度に対応する電位は、TFT24を介してデータ線23から書き込まれコンデンサ25にて

保持される。なお、本工程において書き込まれる電位は $(-V_{D2})$ である。コンデンサ25の正極には閾値電圧検出工程にて検出されたTFT26の閾値電圧 $V_{th2}$ が保持されているため、コンデンサ25にはTFT26の閾値電圧と書き込まれた電位との和である電圧に対応する電荷が保持されることとなる。また、TFT31はオフ状態を維持するため、データ書き込み部21と閾値電圧検出部22は電氣的に分離され、閾値電圧検出部22における動作が本工程に影響を与えることはない。以上より、データの書き込みはデータ書き込み部21の構成要素のみによってなされ、閾値電圧検出部22の動作を必要としない。言い換えると、データの書き込みはデータ書き込み部21の構成要素のみによってなされ、TFT26の閾値電圧の検出は閾値電圧検出部22の構成要素のみによってなされるため、データ書き込み部21と閾値電圧検出部22は独立して機能する。

図9(e)および図10Eは、有機EL素子27が発光する発光工程である。すなわち、コンデンサ25に保持された電荷がドライバー素子であるTFT26に供給され、TFT26がオン状態になりTFT26に電流が流れることにより有機EL素子27が発光する工程である。ここで、コンデンサ25に保持される電荷をTFT26のゲート電極に供給するためには、TFT31をオン状態にする必要がある。このため、走査線32を正の電位にし、TFT31をオン状態とする。TFT31は、オン状態とされることによって、コンデンサ25の負極と正極との間の電位差を維持しつつ、負極に保持された電荷と同量かつ異なる極性の電荷をコンデンサ25の正極に発生させるとともに、コンデンサ25の負極に保持された電荷を消去する。すなわち、TFT31がオン状態となることによりコンデンサ25の負極の電位はグラウンドまで上昇し、コンデンサ25の正極には負極に保持されていた電位 $(-V_{D2})$ が与えられ $(V_{D2} + V_{th2})$ が現れる。かかる電位がTFT26のゲート電極に印加され、TFT26はオン状態となる。TFT26のドレイン電極は有機EL素子27に接続し、ソース電極は負の電位とされたコモン線29に接続するため、TFT26には $(V_{D2} + V_{th2})$ のゲート・ソース間電圧が発生し、ドレイン電極からソース電極に向かって、かかるゲ

ート・ソース間電圧に対応する電流が流れる。ドライバー素子に電流が流れることにより、TFT26に接続する有機EL素子27にも電流が流れ、有機EL素子27は流れる電流に対応した輝度の光を表示する。なお、本工程ではデータの書き込みは行われなため、TFT24はオフ状態を維持する。

実施の形態2にかかる表示装置においては、実施の形態1にかかる表示装置と同様に、発光工程におけるドライバー素子であるTFT26のゲート・ソース間電圧は書き込まれた電位 $V_{D2}$ とTFT26の閾値電圧である $V_{th2}$ との和であり、かかる和電圧に対応する電流がTFT26に流れる。したがって、TFT26の閾値電圧を書き込まれた電位 $V_{D2}$ に加えた電圧がTFT26のゲート・ソース間電圧となるため、TFT26の閾値電圧の変動は補償される。この結果、TFT26に流れる電流は変動せず、有機EL素子は均一な輝度の光を表示し、画質の劣化は抑制される。

また、本実施の形態2にかかる表示装置は、第2のスイッチング部としてTFT28を設けることにより、閾値電圧検出工程においてTFT26のゲート電極とドレイン電極を短絡させ同電位とする。0電位であるコモン線29と接続するソース電極とゲート電極との間に電位差が生じ電流が流れ、ゲート・ソース間電圧が閾値電圧( $V_{th2}$ )となりTFT26がオフ状態となることによりゲート電極に閾値電圧を検出する。したがって、TFT28を設けることにより、閾値電圧検出部22の構成要素の動作のみによってTFT26の閾値電圧を検出する。このため、閾値電圧の検出にデータ書き込み部21の構成要素の動作を必要としない。

また、実施の形態2にかかる表示装置は、TFT31がオン状態となりTFT31に電流が流れることにより、データ書き込み部21と閾値電圧検出部22が電氣的に接続される。さらに、データ書き込み部21と閾値電圧検出部との境界には絶縁物であるコンデンサ25が設けられている。したがって、データ書き込み部21と閾値電圧検出部22は絶縁物により境界を隔てられているため、TFT31がオフ状態である場合には電氣的に分離される。このため、一方の動作が

他方の動作に影響を与えることを防止することが可能となり、閾値電圧検出部 21 とデータ書き込み部 22 は別個独立に動作する。ここで、図 11 に、データの書き込みと閾値電圧の検出の動作を同じタイミングで終了した場合の、図 8 に示す画素回路のタイミングチャートを示す。図 11 (a) ~ (e) は図 9 の (a) ~ (e) と同様に、それぞれ、前処理工程、閾値電圧検出工程、閾値電圧保持工程、データ書き込み工程および発光工程を示すタイミングチャートである。上記のように、閾値電圧検出部 22 とデータ書き込み部 21 は別個独立に動作可能であるため、図 11 に示すように同じタイミングで終了することが可能である。そして、閾値電圧の検出とデータの書き込みを同じタイミングで終了することによって、全工程に関する時間の短縮化を実現できる。

さらに、有機 EL 素子 27 に直列に配列される TFT は、ドライバー素子である TFT 26 のみであるため、有機 EL 素子 27 以外の非発光部で消費される電力の削減が可能である。また、走査線 32 により TFT 28 と TFT 31 の 2 箇所の TFT を制御するため回路構成も簡単であり、電源電圧の利用効率および有機 EL 素子 27 に供給される電位の書き込み効率が高い。

なお、実施の形態 2 における画素回路として図 8 に TFT 31 と TFT 28 とを一つの走査線 32 により制御する構造を示したが、第 2 のスイッチング部である TFT と第 4 のスイッチング部である TFT のそれぞれに別個の走査線を接続する構造としてもよい。たとえば、図 12 に示すように、TFT 31 と第 2 のスイッチング部である TFT 33 がともにチャネル層の導電性が同一の薄膜トランジスタ、たとえば n 型 TFT である構造である。かかる画素回路においては、TFT 31 は走査線 34 により制御され、TFT 33 は走査線 34 とは別個の走査線 35 により制御される。なお、TFT 33 は、請求の範囲における第 2 のスイッチング部の一例として機能するものである。

図 12 に示す画素回路の動作方法の工程は、図 10 A ~ 図 10 E に示す各工程と同様であり、図 9 に示すタイミングチャートにおいて走査線 32 のみで制御していた第 2 のスイッチング部と第 4 のスイッチング部を、それぞれ走査線 34 お



よび走査線 3 5 で制御することとなる。すなわち、第 4 のスイッチング部である T F T 3 1 をオン状態とする場合には走査線 3 2 が正の電位を示すタイミングと同じタイミングで走査線 3 4 を正の電位とし、第 2 のスイッチング部である T F T 3 3 をオン状態とする場合には走査線 3 2 が負の電位を示すタイミングと同じタイミングで走査線 3 5 を正の電位とすることとなる。

ただし、コンデンサ 2 5 に保持される電荷の放出を効果的に防止し、さらに、安定した階調を実現するため、図 1 2 に示す画素回路の各構成要素は図 1 3 に示すタイミングチャートに従い動作することが好ましい。ここで、図 1 3 (a) ~ (e) は、図 9 の (a) ~ (e) と同様に、それぞれ、前処理工程、閾値電圧検出工程、閾値電圧保持工程、データ書き込み工程および発光工程である。図 1 3 に示すタイミングチャートにおいては、図 1 3 (b) に示す閾値電圧検出工程終了時に T F T 3 1 をオフ状態とする。かかるタイミングで T F T 3 1 がオフ状態とされるため、閾値電圧検出工程においては 0 電位を示すコモン線 2 9 とコンデンサ 2 5 の負極との接続が維持される。この結果、閾値電圧検出工程では、大きな電荷を蓄積する有機 E L 素子 2 7 と接続する T F T 2 6 の閾値電圧が、より安定に検出される。さらに、前フレームの書き込み電位と本フレームの書き込み電位との差が大きい場合でも、データ書き込み工程では前フレームの影響を受けずに所定の電位がコンデンサ 2 5 に書き込まれ、安定した階調を実現することが可能となる。また、図 1 3 (d) に示すデータ書き込み工程終了後において、T F T 3 1 をオン状態とする前に T F T 3 3 をオフ状態とするため走査線 3 5 を負の電位とする。かかるタイミングで T F T 3 3 が動作することにより、コンデンサ 2 5 に保持される書き込み電位が T F T 3 3 を介してグラウンドに放出されることを防止する。

以上より、図 1 2 に示す画素回路の各構成要素は、第 2 のスイッチング部である T F T 3 3 と第 4 のスイッチング部である T F T 3 1 の駆動状態を別個の走査線により制御するため、図 1 3 に示すタイミングチャートに従った動作が可能となる。この結果、コンデンサ 2 5 に保持される電荷の放出を効果的に防止し、さ

らに、安定した階調を実現することができる。また、図 1 2 に示す画素回路は、チャンネル層の導電性が同一である T F T のみで構成されるため製造コストの低減も可能となる。

また、本実施の形態 2 では、行または列ごとにデータ書き込み工程を行って行または列ごとに順次発光工程を行なう方式で画像を表示させるほか、全ての有機 E L 素子 2 7 を同時に発光させて同時に 1 枚の画面を表示する全面一括制御方式で画像を表示してもよい。また、本実施の形態 2 では、全ての画素回路に対して、同時に前処理工程を行なってもよい。すなわち、全ての有機 E L 素子 2 7 に対して同時に電荷の蓄積が行なわれるとしてもよい。また、本実施の形態 1 では、全ての画素回路に対して、同時に閾値電圧検出工程を行なってもよい。すなわち、全ての T F T 2 8 は、同時にオン状態となり、T F T 2 6 のドレイン電極とゲート電極とを短絡してもよい。

また、図 1 2 では 4 個の T F T と 1 個のコンデンサとを備える画素回路について説明したが、データ線 2 3 に所定の基準電位を供給させ、データ線 2 3 の基準電位供給時に T F T 2 4 をオン状態としデータ線 2 3 とコンデンサ 2 5 とを電気的に導通させることによって、T F T 3 1 を省略し、さらに簡易な構成である画素回路とすることができる。

図 1 4 は、実施の形態 2 における画素回路の構造の他の例を示した図である。図 1 4 に示す画素回路は、図 1 2 における画素回路が有する T F T 3 1 と T F T 3 1 を制御する走査線 3 4 とを省略している。そして、後述するように、データ線 2 3 に基準電位として、たとえば 0 電位を供給させ、データ線 2 3 の基準電位供給時に T F T 2 4 をオン状態としデータ線 2 3 とコンデンサ 2 5 の負極とを電気的に導通させることによって、コンデンサ 2 5 から T F T 2 6 への電荷の供給を制御し、各工程を行なっている。また、図 1 4 に示す画素回路では、有機 E L 素子 2 7 のアノード側がコモン線 2 9 に接続され、T F T 2 6 のソース電極がグラウンドに接続されている。また、図 1 4 に示す画素回路によって構成される表示装置では、後述するように、全ての有機 E L 素子 2 7 が同時に所定の輝度の光

を表示して同時に1枚の画面を表示する全面一括制御方式で画像を表示する。なお、図12に示す画素回路と同様に、データ線23とTFT24とコンデンサ25と走査線30とはデータ書き込み部21を構成し、TFT26とTFT33と有機EL素子27とコモン線29とは閾値電圧検出部22を構成する。

つぎに、図15および図16A～図16Dを参照し、図14に示す画素回路の動作を説明する。図15は、図14に示す画素回路のタイミングチャートである。また、図15では、 $n$ 行目の画素回路における走査線 $30_n$ と $(n+1)$ 行目の画素回路における走査線 $30_{n+1}$ について例示する。また、図16Aは、図15に示す(a)における画素回路の動作方法の工程を示す図であり、図16Bは、図15に示す(b)における画素回路の動作方法の工程を示す図であり、図16Cは、図15に示す(d)における画素回路の動作方法の工程を示す図であり、図16Dは、図15に示す(e)における画素回路の動作方法の工程を示す図である。図15(a)～(e)は、図12の(a)～(e)と同様に、それぞれ、前処理工程、閾値電圧検出工程、閾値電圧保持工程、データ書き込み工程および発光工程を示す。なお、図16A～図16Dにおいて、実線部は電流が流れる部分を示し、破線部は電流が流れていない部分を示す。

図15(a)および図16Aに示す前処理工程では、コモン線29の電位の極性を発光時と比較し反転し、負の電位とすることによって、有機EL素子27のカソード側に正の電荷を蓄積させる。

つぎに、図15(b)および図16Bに示す閾値電圧検出工程では、走査線35を正の電位としてTFT33をオン状態とすることにより、TFT26のゲート電極とドレイン電極とを短絡してTFT26をオン状態としている。そして、TFT26のゲート・ソース間電圧が閾値電圧( $=V_{th2}$ )まで減少した時点でTFT26はオフ状態となり、閾値電圧検出工程は終了する。この閾値電圧検出工程では、TFT24はオン状態を維持している。このため、0電位を供給するデータ線23とコンデンサ25の負極とが電氣的に導通し、安定に閾値電圧の検出を行なうことができる。なお、図14に示す画素回路を有する表示装置は、全

ての画素回路に対して前処理工程と閾値電圧検出工程とを同時に行なっている。

そして、図 1 5 (c) に示す閾値電圧保持工程では、T F T 2 6 のゲート電極およびドレイン電極に現れた T F T 2 6 の閾値電圧  $V_{th2}$  がコンデンサ 2 5 の正極で保持される。ここで、閾値電圧保持工程は、閾値電圧検出工程が終了し、データ書き込み工程が開始するまでの間であり、図 1 5 には、たとえば、 $n$  行目の表示画素における閾値電圧保持工程を期間 (c) として示している。

そして、図 1 5 (d) および図 1 6 C に示すデータ書き込み工程に進む。このデータ書き込み工程では、データ線 2 3 が電位 ( $-V_{D2}$ ) を供給する図 1 5 の (d) の間に、全ての行または列の画素回路に対して順次データ書き込み工程が行なわれる。たとえば、 $n$  行目の画素回路では、図 1 5 (d<sub>1</sub>) の間に走査線 3 0<sub>n</sub> が正の電位とされ T F T 2 4<sub>n</sub> がオン状態となることによって、データ線 2 3 から供給される電位 ( $-V_{D2}$ ) がコンデンサ 2 5 の負極に保持される。また、( $n+1$ ) 行目の画素回路では、図 1 5 (d<sub>2</sub>) の間に走査線 3 0<sub>n+1</sub> が正の電位とされ、T F T 2 4<sub>n+1</sub> がオン状態となり、コンデンサ 2 5 の負極に電位 ( $-V_{D2}$ ) が保持される。このように、図 1 5 に示す (d) の間に全ての行または列の画素回路に対してデータ書き込み工程が順次行なわれる。そして、データ書き込み工程終了後、データ線 2 3 に印加される電位は ( $-V_{D2}$ ) から 0 V とされる。

つぎに、図 1 5 (e) および図 1 6 D に示す発光工程について説明する。この工程では、走査線 3 0 を正の電位として T F T 2 4 をオン状態とすることによって、0 電位を供給するデータ線 2 3 とコンデンサ 2 5 の負極とを電氣的に導通させて、コンデンサ 2 5 の負極の電位を 0 電位まで上昇させる。そして、コンデンサ 2 5 の正極には負極に保持されていた電位 ( $-V_{D2}$ ) が与えられ ( $V_{D2} + V_{th}$ ) が現れる。そして、コモン線 2 9 は正の電位とされ、T F T 2 6 には ( $V_{D2} + V_{th2}$ ) のゲート・ソース間電圧が発生し、このゲート・ソース間電圧に対応する電流が流れ、有機 E L 素子 2 7 は流れる電流に対応した輝度の光を表示する。この発光工程は、全ての画素回路において同時に行なわれ、全ての有機 E L 素子

27が同時に所定の輝度の光を表示し、同時に1枚の画面を表示する。

このように、図14に示す画素回路は、データ線23に所定の基準電位を供給させ、データ線23の基準電位供給時にTFT24をオン状態としてデータ線23とコンデンサ25の負極とを電氣的に導通させることによって、図12に示す画素回路と比較しTFT31を省略することが可能となる。さらに、TFT31の省略にともない、TFT31が接続する走査線34も省略することができ、簡易な回路構成とすることができる。このため、図14に示す画素回路では、TFT、コンデンサ、走査線の占有面積を小さくすることができる。したがって、画素回路の面積の縮小化を図ることができ、たとえば従来と比較し1.5倍程度に画像の解像度を向上させた高精細の表示装置を実現することが可能となる。

また、全ての有機EL素子27に同時に光を表示させているため、前フレームの影響を受けずに画像を表示することができる。従来では、たとえばn行目の画素回路がデータ書き込み工程を行なっている際に、すでにデータ書き込み工程を終了したm行目の画素回路が発光工程を行なっていた。このため、従来の表示装置では、画像表示の際に前フレームの情報が表示される領域があった。したがって、従来の表示装置では、異なる時間で表示されるべき画像が同時に表示されている場合があり、動画の表示には適していなかった。しかし、図14に示す画素回路で構成された表示装置の場合、全ての有機EL素子27が同時に光を表示するため、上述した問題が生じず、動画の表示を正確に行なうことができ、動画特性を向上させることが可能となる。

なお、図14における画素回路では、所定の基準電圧を0電位として説明したが、0電位に限定するものではなく、有機EL素子27の発光輝度に対応する電位 ( $-V_{D2}$ ) よりも高い値の一定電位であればよい。閾値電圧検出工程において電位 ( $-V_{D2}$ ) よりも低い値の電位を基準電位としてデータ線23に印加した場合、TFT26のゲート・ソース間電圧が閾値電圧を下回り、閾値電圧検出工程においてTFT26がオン状態とならずTFT26の閾値電圧を検出できなくなるためである。また、基準電圧が0電位ではない場合には、有機EL素子2

7に設定した輝度の光を表示させるために、データ書き込み工程では、有機EL素子27の発光輝度に対応する電位と基準電位との差分を考慮しデータ線23が供給する電位を設定する必要がある。

また、図15では、データ書き込み工程において、データ線23が電位( $-V_{D2}$ )を供給する場合について示したが、データ線23は、画素回路ごとに各画素回路の有機EL素子27の設定輝度に応じて電位0～電位( $-V_{D2}$ )の間の任意の電位を供給する。

つぎに、実施の形態3にかかる表示装置について説明する。本実施の形態3にかかる表示装置は、データ線と第1のスイッチング部およびコンデンサを有し、発光輝度に対応する電位を書き込むデータ書き込み部と、電流発光素子と第2のスイッチング部として2つのTFTを有し、ドライバー素子の閾値電圧を検出する閾値電圧検出部を備える。かかる表示装置により、データ書き込み部と閾値電圧検出部は別個に動作するよう構成されており、データ書き込み部により書き込まれた電位に、データ書き込み部とは別に機能する閾値電圧検出部により検出された閾値電圧を加えた電位がドライバー素子に印加されることによって、ドライバー素子の閾値電圧が変動する場合でも電流発光素子に均一な電流を供給する表示装置を実現する。

図17は、本実施の形態3における画素回路の構造を示した図である。本実施の形態3における画素回路は、図17に示すように、電流発光素子の輝度に対応する電位を供給するデータ線43と、第1のスイッチング部であるTFT44と、書き込まれた電位を保持するコンデンサ45と、TFT44のゲート電極に接続する第1の走査線である走査線51とにより構成されるデータ書き込み部41を備える。データ書き込み部41は、請求の範囲におけるデータ書き込み部の一例として機能するものである。データ線43は、請求の範囲におけるデータ線の一例として機能するものである。TFT44は、請求の範囲における第1のスイッチング部として機能するものである。コンデンサ45は、データ線43から供給された電位を保持する機能を有する。走査線51は、請求の範囲における第1の

走査線の一例として機能するものである。

さらに、本実施の形態3における画素回路は、ドライバー素子であるTFT46と、第1の薄膜トランジスタであるTFT48および第2の薄膜トランジスタであるTFT49を有する第2のスイッチング部と、電流発光素子である有機EL素子47と、有機EL素子に接続する電源線であるコモン線50とにより構成される閾値電圧検出部42を備える。なお、説明を容易にするため、TFT46については有機EL素子47と接続する電極をソース電極とし、TFT49と接続する電極をドレイン電極とする。閾値電圧検出部42は、請求の範囲における閾値電圧検出部の一例として機能するものである。TFT46は、請求の範囲におけるドライバー素子の一例として機能するものであり、データ書き込み部41が書き込んだ電位に応じて電流値を制御する機能を有する。有機EL素子47は、請求の範囲における電流発光素子の一例として機能するものである。TFT48は、請求の範囲における第1の薄膜トランジスタの一例として機能するものであり、TFT49は、請求の範囲における第2の薄膜トランジスタの一例として機能するものである。また、コモン線50は、請求の範囲における電源線の一例として機能するものである。

データ書き込み部41は、データ線43より有機EL素子47の表示輝度に対応した電位を与えられ、かかる電位を保持する機能を有する。データ書き込み部41を構成するデータ線43、第1のスイッチング部であるTFT44、コンデンサ45、第1の走査線である走査線51は、実施の形態1における画素回路のデータ書き込み部1を構成する各構成要素と同様の機能を有する。

閾値電圧検出部42は、ドライバー素子であるTFT46の閾値電圧を検出する機能を有する。かかる閾値電圧検出部42を構成するドライバー素子であるTFT46は、オン状態となることによりゲート・ソース間電圧に対応した電流を有機EL素子47に供給する機能を有する。また、TFT46のソース電極と接続する有機EL素子47は、本来TFT46がオン状態の際に与えられた電流に対応した輝度の光を表示するためのものであるが、閾値電圧検出部42において

は、T F T 4 6 のソース電極に対して電荷を供給する容量として機能する。

また、T F T 4 8 および T F T 4 9 は、第 2 のスイッチング部を構成する。T F T 4 8 のソース電極は T F T 4 6 のゲート電極に接続しており、T F T 4 9 のソース電極は T F T 4 6 のドレイン電極に接続しており、T F T 4 9 のドレイン電極と T F T 4 8 のドレイン電極は互いに接続するとともにグラウンドに接続する。すなわち、T F T 4 8 および T F T 4 9 がともにオン状態となることによって、T F T 4 6 のゲート電極とドレイン電極は短絡されるとともにグラウンドに接続する。後述するように、本実施の形態 3 にかかる表示装置では、T F T 4 8 および T F T 4 9 を設けることによって、データ線 4 3 等のデータ書き込み部 4 1 の構成要素を用いることなく T F T 4 6 の閾値電圧の検出を可能としている。さらに、T F T 4 9 は、オフ状態となることにより、検出された T F T 4 6 の閾値電圧を T F T 4 6 のソース電極に保持する機能も有する。なお、T F T 4 8 は走査線 5 2 により制御され、T F T 4 9 は走査線 5 3 により制御される。また、電源線であるコモン線 5 0 は、実施の形態 1 における画素回路を構成するコモン線 9 と同様の機能を有する。

つぎに、図 1 8 および図 1 9 を参照し、図 1 7 に示す実施の形態 3 における画素回路の動作状態を説明する。図 1 8 は、実施の形態 3 における画素回路のタイミングチャートである。図 1 9 A は、図 1 8 に示す (a) における画素回路の動作方法の工程を示す図であり、図 1 9 B は、図 1 8 に示す (b) における画素回路の動作方法の工程を示す図であり、図 1 9 C は、図 1 8 に示す (c) における画素回路の動作方法の工程を示す図であり、図 1 9 D は、図 1 8 に示す (d) における画素回路の動作方法の工程を示す図であり、図 1 9 E は、図 1 8 に示す (e) における画素回路の動作方法の工程を示す図である。図 1 8 (a) ～ (e) および図 1 9 A ～図 1 9 E に示すように、画素回路においてデータの書き込みと閾値電圧の検出は別個独立の工程で行われる。図 1 9 A ～図 1 9 E において、実線部は電流が流れる部分を示し、破線部は電流が流れていない部分を示す。

図 1 8 (a) および図 1 9 A に示す工程は、閾値電圧検出の前段階として有機



EL素子47に電荷を蓄積する前処理工程である。具体的には、TFT46に発光時と逆方向の電流を流すことによって有機EL素子47に電荷を蓄積させる工程である。本工程は、実施の形態1における画素回路の前処理工程と同様に、コモン線50の電位の極性を発光時と比較し反転することによって、有機EL素子47のアノード側にコンデンサ45に残存する電荷より十分に大きい負の電荷を蓄積させる。なお、TFT46のドレイン電極をグラウンドに接続するため、TFT49はオン状態を維持する。有機EL素子47に電荷が蓄積された後、蓄積された電荷を保持するため、走査線52を正の電位としTFT48をオン状態とする

図18(b)および図19Bに示す工程は、閾値電圧検出部42によってドライバ素子であるTFT46の閾値電圧を検出する閾値電圧検出工程である。前処理工程で有機EL素子47への負の電荷の蓄積が終了した後、コモン線50は正の電位から0電位となる。走査線52および走査線53はともに正の電位のままであるため、TFT48およびTFT49のオン状態が維持されることにより、TFT46はゲート電極とドレイン電極が短絡されるとともにグラウンドに接続されることとなる。したがって、TFT46のゲート電極とドレイン電極には0電位が与えられる。ここで、有機EL素子47はTFT46のソース電極と接続しているため、有機EL素子47のアノード側に蓄積された負の電荷に基づいて、TFT46のゲート・ソース間電圧は閾値電圧よりも大きくなり、TFT46はオン状態となる。また、TFT46のドレイン電極はオン状態であるTFT49を介してグラウンドに接続される一方、TFT46のソース電極は負電荷が蓄積された有機EL素子47に接続され負の電位を与えられる。したがって、TFT46にはゲート電極とソース電極の間に電位差が発生し、ドレイン電極からソース電極に向かって電流が流れる。かかる電流が流れることにより、有機EL素子47に蓄積された負電荷の絶対値は徐々に減少し、TFT46のゲート・ソース間電圧が閾値電圧( $=V_{th3}$ )まで減少した時点でTFT46はオフ状態となり、有機EL素子47に蓄積された負電荷の絶対値の減少も停止する。TFT46の

ゲート電極は、オン状態であるTFT49を介してグラウンドに接続されていることから、TFT46のソース電極の電位は $(-V_{th3})$ に維持されることとなる。以上より、TFT6のソース電極にTFT46の閾値電圧 $(-V_{th3})$ が現れ、TFT46の閾値電圧が検出される。なお、本工程においてドライバー素子であるTFT46の閾値電圧の検出は、閾値電圧検出部42の構成要素のみによってなされ、データ書き込み部41の構成要素の動作を必要としない。

図18(c)および図19Cは、検出した閾値電圧を保持する閾値電圧保持工程である。TFT48およびTFT49をともにオフ状態とするため、走査線52および走査線53を負の電位とする。TFT49がオフ状態となるため、TFT46のソース電極に現れたTFT46の閾値電圧 $(-V_{th3})$ は、グラウンドに放出されることなく安定に保持される。

図18(d)および図19Dに示す工程は、データ書き込み工程である。実施の形態1における画素回路のデータ書き込み工程と同様に、有機EL素子47の輝度に対応する電位は、TFT44を介してデータ線43から書き込まれコンデンサ45にて保持される。なお、本工程において書き込まれる電位は $V_{D3}$ である。ここで、データの書き込みはデータ書き込み部41の構成要素のみによってなされ、閾値電圧検出部42の動作を必要としない。言い換えると、データの書き込みはデータ書き込み部41の構成要素のみによってなされ、TFT46の閾値電圧の検出は閾値電圧検出部42の構成要素のみによってなされるため、データ書き込み部41と閾値電圧検出部42は独立して機能する。なお、本工程においては画素回路の構造上TFT46のゲート電極においても書き込み電位である $V_{D3}$ がかかることとなりTFT46はオン状態となるが、TFT46のドレイン電極に接続するTFT49がオフ状態であるためTFT46に電流は流れず、閾値電圧検出工程にて検出されたTFT46の閾値電圧は消失しない。

図18(e)および図19Eに示す工程は、有機EL素子47が発光する発光工程である。すなわち、コンデンサ45に保持された電荷がドライバー素子であるTFT46に供給され、TFT46がオン状態になりTFT46に電流が流れ

ることにより有機EL素子47が発光する工程である。ここで、TFT46のゲート電極には接続するコンデンサ45より電位 $V_{D3}$ が印加される。この結果、TFT46のゲート電極はオン状態となる。ここで、TFT46のソース電極には閾値電圧検出工程において検出された閾値電圧( $-V_{th3}$ )が現れている。また、本工程でTFT46のゲート電極にコンデンサ45より印加された電位 $V_{D3}$ がかかるため、TFT46には( $V_{D3} + V_{th3}$ )のゲート・ソース間電圧が発生する。この結果、TFT46には、ゲート・ソース間電圧である( $V_{D3} + V_{th3}$ )に対応する電流が流れる。ドライバー素子であるTFT46に電流が流れることにより、TFT46に接続する有機EL素子47にも電流が流れ、有機EL素子47は流れる電流に対応した輝度の光を表示する。なお、コンデンサ45から供給される電荷がグラウンドに放出され消滅するのを防止するため、コンデンサ45と接続するTFT48はオフ状態とする必要がある。このため、走査線52は負の電位のままである。また、TFT46のドレイン電極をグラウンドに接続するため、走査線53は正の電位とされTFT49はオン状態とされる。さらに、本工程においてはデータ線43から電位は書き込まれないため、TFT44をオフ状態とする必要があることから走査線51は負の電位のままである。

実施の形態3にかかる表示装置においては、実施の形態1にかかる表示装置と同様に、発光工程におけるドライバー素子であるTFT46のゲート・ソース間電圧は書き込まれた電位 $V_{D3}$ とTFT46の閾値電圧である $V_{th3}$ との和であり、かかる和電圧に対応する電流がTFT46に流れる。したがって、TFT46の閾値電圧が変動した場合であってもかかる閾値電圧を書き込まれた電位 $V_{D3}$ に加えた電圧がTFT46のゲート・ソース間電圧となるため、TFT46の閾値電圧の変動は補償される。この結果、ドライバー素子であるTFT46の閾値電圧が変動した場合であってもTFT46に流れる電流は変動せず、有機EL素子は均一な輝度の光を表示し、画質の劣化は抑制される。

また、本実施の形態3にかかる表示装置は、第2のスイッチング部としてTFT48およびTFT49を設けることにより、閾値電圧検出工程においてTFT

46のゲート電極とドレイン電極を短絡させ、TFT46のゲート電極とドレイン電極をグラウンドに接続している。この結果、TFT46には負の電荷を蓄積した有機EL素子47と接続するソース電極とゲート電極の間に電位差が生じ電流が流れる。その後、ゲート・ソース間電圧が閾値電圧( $V_{th3}$ )となりTFT46がオフ状態となることによりソース電極に閾値電圧を検出する。したがって、TFT48およびTFT49を設けることにより、閾値電圧検出部42の構成要素の動作のみによってTFT46の閾値電圧を検出する。このため、閾値電圧の工程において、TFT44を介してTFT46のゲート電極に接続するデータ線43の電位を0電位とする必要はなく、閾値電圧の検出にデータ書き込み部41の構成要素の動作を必要としない。

さらに、実施の形態3における画素回路は、ドライバー素子であるTFT46のゲート電極にコンデンサ45の正極が直接接続されている。したがって、データ線43により供給されコンデンサ45で保持される電位が直接TFT46のゲート電極に印加されるため、書き込んだデータ電位の信頼性が高い。

なお、本実施の形態3では、行または列ごとにデータ書き込み工程を行って行または列ごとに順次発光工程を行なう方式で画像を表示させるほか、全ての有機EL素子47を同時に発光させて同時に1枚の画面を表示する全面一括制御方式で画像を表示してもよい。また、本実施の形態3では、全ての画素回路に対して、同時に前処理工程を行なってもよい。すなわち、全ての有機EL素子47に対して同時に電荷の蓄積が行なわれるとしてもよい。また、本実施の形態3では、全ての画素回路に対して、同時に閾値電圧検出工程を行なってもよい。すなわち、全てのTFT48は、同時にオン状態となり、TFT46のドレイン電極とゲート電極とを短絡してもよい。